

DC-DCの効率と電力密度を向上するためのGaNの統合



Alex Lidow, David Reusch, and Johan Strydom, Efficient Power Conversion Corporation

窒化ガリウムは、シリコン結晶上に成長させて、エンハンスメント・モード (eGaN[®]) FETを形成すると、ワイヤレス・パワー伝送、Lidar (光による検出と距離の測定)、包絡線追跡など、いくつかの驚くべき新しい最終用途が実現できます [1]。eGaN FET は、AC-DCやDC-DCの電力変換など、ほとんどの既存のアプリケーションでシリコン・ベースのパワーMOSFETに置き換えることもできます。しかも、大幅な特性の向上をもたらします。この報酬は、現在、成熟した主役によって支配されている120億米ドルの市場です。

GaN技術の旅は始まったばかりです。私たちは、まだ、その理論的性能限界から遠くにいます。少なくとも今後10年間は、2年から4年ごとに製品の性能を2倍にする——マイクロプロセッサ技術の成長を予測したこのムーアの法則を思い起こさせる改善率を期待することは、まったく妥当なことです (図1)。

単なる性能とコストの改善を越えて、電力変換市場に影響を与えるためのGaN技術の最大のチャンスは、同一半導体基板上に複数のデバイスを集積できるという本質的な能力から来ます。将

eGaN FETに対するムーアの法則

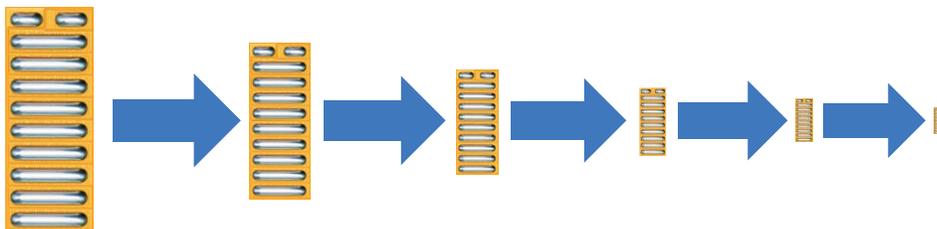


図1: eGaN FETの性能は、より小さなフォーム・ファクタで性能が向上する結果、2年ごとに2倍に改善すると予想されています

来的に、GaN技術は、一般的なシリコンIC技術とは対照的に、より簡単かつコスト効率の高い方法で、単一チップ上にモノリシックのパワー・システムを実現することを可能にするでしょう。

今日、電力変換に使われる最も一般的なビルディング・ブロックは、ハーフブリッジです。したがって、ハーフブリッジは、パワー・システム・オン・チップに向けた旅の出発点になり得ます。

図2は、初めて製品化されたエンハンスメント・モードでモノリシックのハーフブリッジGaN集積回路ファミリーの写真です。このファミリーの最初の製品であるEPC2100の定格電圧は30 V。上側のFET (Q1) のオン抵抗 $R_{DS(on)}$ は標準値で6m Ω 、下側のFET (Q2) の $R_{DS(on)}$ は標準1.5m Ω です。これは、スイッチング速度と熱特性を改善するためのチップスケール・パッケージで提供され、面積は6mm \times 2.3mmです。デバイスのピ

ン配置を図3に示します。Gate1は、ハイサイドのゲート・ピン。GR1は、ハイサイドのゲート戻りピン。Gate2は、ローサイドのゲート・ピンです。 V_{SW} は、ハーフブリッジのスイッチ・ノードで、プリント回路基板上に並列に接続されている35個の個別のはんだピンで構成されています。 V_{IN} は、上側FET (Q1) のドレインに供給される入力電圧で、8個の並列接続されたピンで構成されています。 P_{GND} は、下側FET (Q2) のソース端子のパワー・グラウンド接続で、29個の並列接続されたはんだピンを備えています。2個のパワーFETを単一のモノリシック・デバイスに集積化することで、相互接続インダクタンスと、プリント回路基板上で必要だった間隔が省かれます。これは、アセンブリ・コストを削減すると同時に、効率 (特により高い周波数において) と電力密度の両方を向上させます。

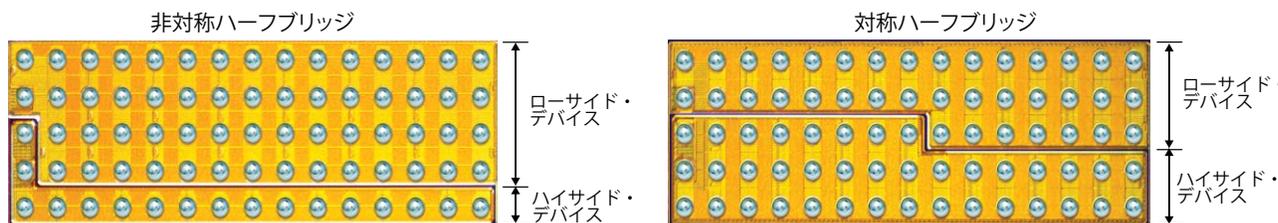


図2: チップスケール・パッケージに収めたモノリシックのハーフブリッジを形成するワン・チップ上に集積された2個のeGaN FET (パンプ側)

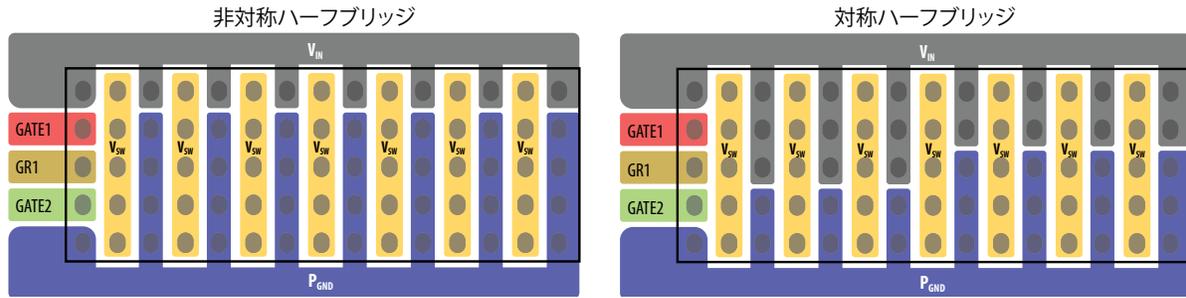


図3: 図2のデバイスのピン配置

型番	構成	V _{DS}	R _{DS(on)} の 最大値 (mΩ) @5 V _{GS}	Q _G の 標準値 (nC)	Q _{GS} の 標準値 (nC)	Q _{GD} の 標準値 (nC)	Q _{OSS} の 標準値 (nC)	Q _{RR} (nC)	I _D (A)	パルス I _D (A)	ハーフブリ ッジ開発 基板
EPC2100	デュアルで非対称	30	8 2	3.5 15	1.4 4.6	0.57 2.6	5.5 28	0	10 40	100 400	EPC9036
EPC2102	デュアル	60	4.4	6.8	2.3	1.4	23 31	0	23	215	EPC9038
EPC2101	デュアルで非対称	60	11.5 2.7	2.7 12	1 3.7	0.50 2.5	9 45	0	9.5 38	80 350	EPC9037
EPC2103	デュアル	80	5.5	6.5	2.0	1.3	29 39	0	23	195	EPC9039
EPC2105	デュアルで非対称	80	14.5 3.4	2.5 10	1 3.2	0.50 2	11 55	0	9.5 38	75 320	EPC9041
EPC2104	デュアル	100	6.3	7	2.0	1.2	35 47	0	23	165	EPC9040

表1: 集積化されたGaN パワー・デバイス製品のセレクト・ガイド

表1に、ハーフブリッジICファミリーのすべてのデバイスを示します。ハーフブリッジICファミリーのうち3品種は、図4に示すようなV_{IN} / V_{OUT}比が大きいバック・コンバータにおいてDC-DC変換の効率を最適化するために、ハイサイドFETのサイズがローサイド・デバイスの約1/4になっています。例えば、ブリック電源、モーター駆動、D級オーディオなど、対称なチップ・サイズが望まれるアプリケーション向けのハーフブリッジICファミリーの3品種は、図2や図3に示すように、ハイサイドFETとローサイド・デバイスのサイズが等しいチップになっています。

12 V_{IN} から1.2 V_{OUT} への POL (負荷点) バック・コンバータが図4です。この回路で測定した効率を図5に示します。500 kHzにおいて、この完全なバック・コンバータのピーク効率は、10 Aで93%弱、20 Aでは91.5%を超えています。

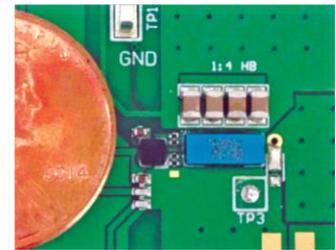
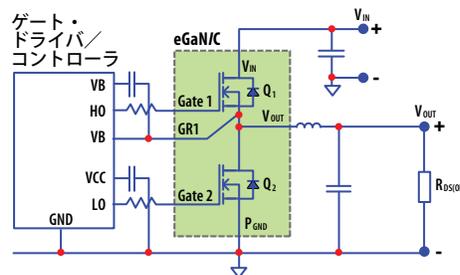


図4: 12 V_{IN}、1.2 V_{OUT} のバック・コンバータ。左は回路図、右はeGaNハーフブリッジ EPC2100 の実際の回路。

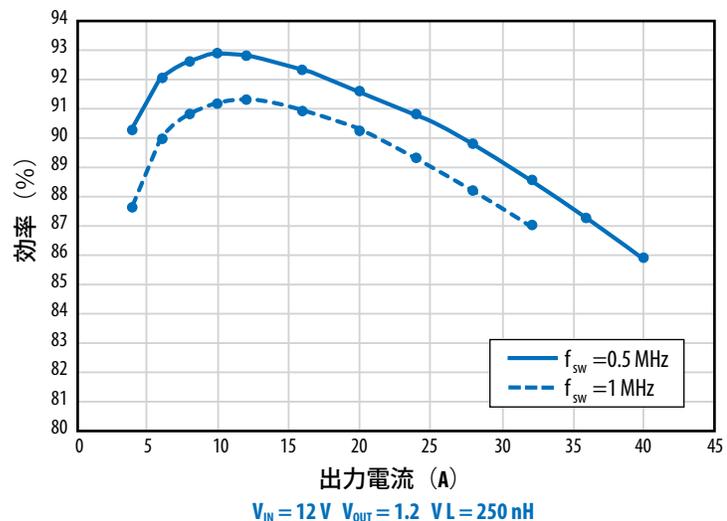


図5: 500 kHzと1 MHzでのハーフブリッジEPC2100搭載のバック・コンバータの全体の効率

高集積化の利点は、より高い周波数で、より明確になります。図6は、1 MHzと4 MHzで動作する2つのバック・コンバータの間の比較です。青色の線は、ディスクリートのeGaN FETを使って構成したコンバータを表しています。黒色の線は、モノリシックのハーフブリッジEPC2100で構成されたバック・コンバータです。ハーフブリッジは、2個のディスクリートFETの合計のチップ面積よりも33%小さく、この結果、同期整流用FET (Q2) のオン抵抗は約50%大きくなります。したがって、低い周波数および大電流では、モノリシックのハーフブリッジを搭載したバック・コンバータは、効率が低くなります。しかし、周波数が4 MHzに高まると、図6に示すように、モノリシックのハーフブリッジの効率は、ディスクリートの構成よりもピーク効率で約2%上回っています

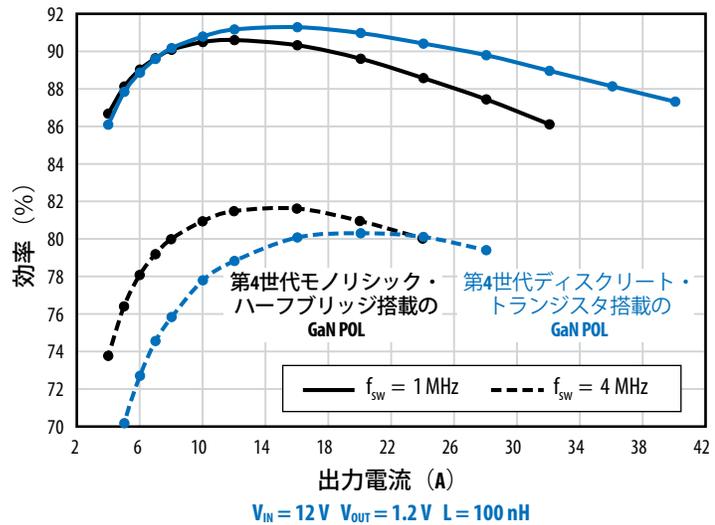


図6: ハーフブリッジEPC2100、または、ディスクリートのeGaN FET (Q1:EPC2015; Q2:EPC2023) を搭載したバック・コンバータの全体の効率の比較

最適なパワー・ループのレイアウトと合わせて、チップ間の空間を省くことで、パワー・ループ全体のインダクタンスを200 pH以下に大幅に小さくできます。これは、ディスクリート・デバイスEPC2015を使ったときの結果の半分以下です[2]。この結果、図7に示すように、電圧遷移はナノ秒レンジの2/3となり、25Aでスイッチングしたときのオーバーシュートは、わずか3.6Vでした。

さて、より高い入力電圧のPOL変換を見てみましょう。図8は、EPC2101を搭載し、500 kHzで動作するコンバータの効率です。この耐圧60 VのハーフブリッジeGaN ICは、はるかに高いバス電圧で変換することができます。例えば、28Vや42Vから直接1Vに効率的に変換できます。図9は、この変換のスイッチ・ノード波形です。

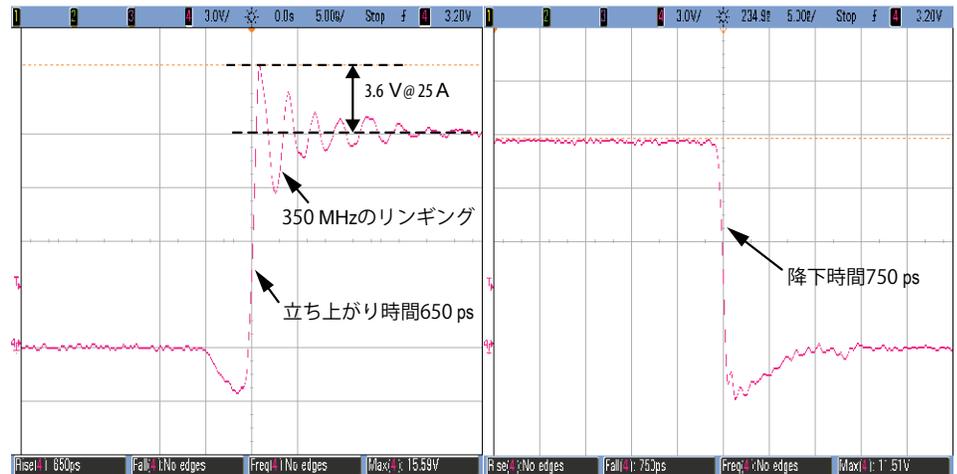


図7: EPC2100のスイッチ・ノード波形。V_{IN} = 12 VからV_{OUT} = 1.2Vへ、I_{OUT} = 25 A、1 MHzのとき、立ち上がり時間は650 ps、降下時間は750 psでした

より高い入力電圧でもPOL変換可能です。図10は、EPC2105を搭載し、500kHzで動作するコンバータの効率です。耐圧80VのハーフブリッジeGaN ICは、48Vから直接1Vに効率的に変換することができます。完全なバック・コンバータ・システムで、16Aのときのピーク効率80%が得られています。この変換は、データ通信システムにおいて、この電圧変換のために通常必要な2段階にする必要がありません。

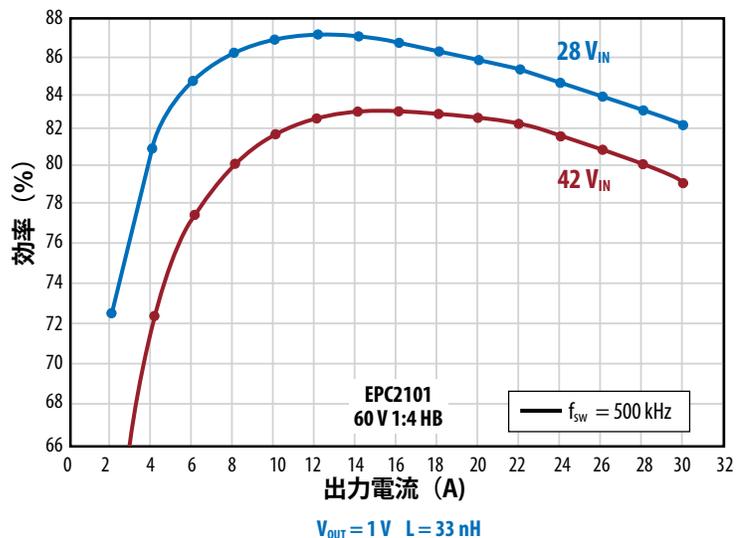


図8: ハーフブリッジEPC2101を搭載したバック・コンバータ全体の効率

デバイス面積の比率が対称であることが望ましいアプリケーションに対しては、60 VのEPC2102、80 VのEPC2103、100 VのEPC2104があり、図2に示すように、同じサイズの2つのFETを集積したモノリシックのハーフブリッジeGaN ICです。48 V_{IN} から12 V_{OUT} へのPOLバック・コンバータのシステム全体の効率を図11に示します。より大きなデューティ比で、より小さな降圧比に対して、図11から分かるように、対称ハーフブリッジは、より高い効率を得られます。対称ハーフブリッジのeGaN ICは、スイッチング速度も高速であることが立ち上がり時間と降下時間から分かります。図12に示すように、入力電圧48 V、出力電流20 Vのときに、それぞれ2.1 nsと1.4 nsです。

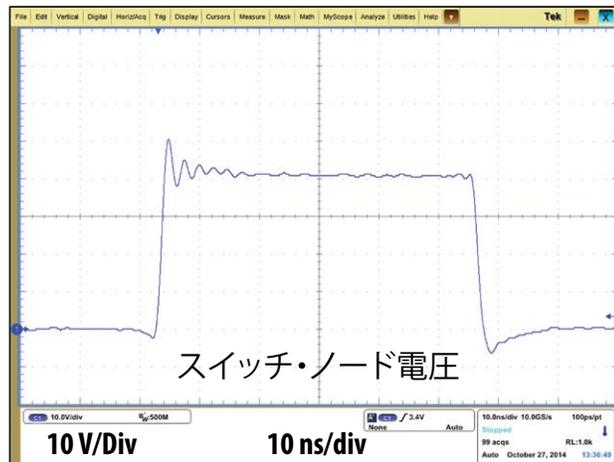


図9: $V_{IN} = 42\text{ V}$, $V_{OUT} = 1\text{ V}$, $I_{OUT} = 20\text{ A}$, $f_{SW} = 500\text{ kHz}$ のときのスイッチ・ノード電圧

ディスクリートのeGaN FETは、ほぼ5年間、大量生産され、シリコンMOSFETの従来のアプリケーションの多くに浸透してきています。この比較的新しい技術は、より速い学習曲線に乗っているため、効率の差が拡大してきています[3]。今、設計者は、スペースを節約し、効率を向上し、システム・コストを削減するモノリシックのeGaNハーフブリッジ・デバイスのファミリーを入手できます。電力変換システムがマルチメガヘルツの領域に拡張すると同時に、ディスクリート・デバイスの集積化は、システムの効率と出力密度の向上のために一段と重要になります。

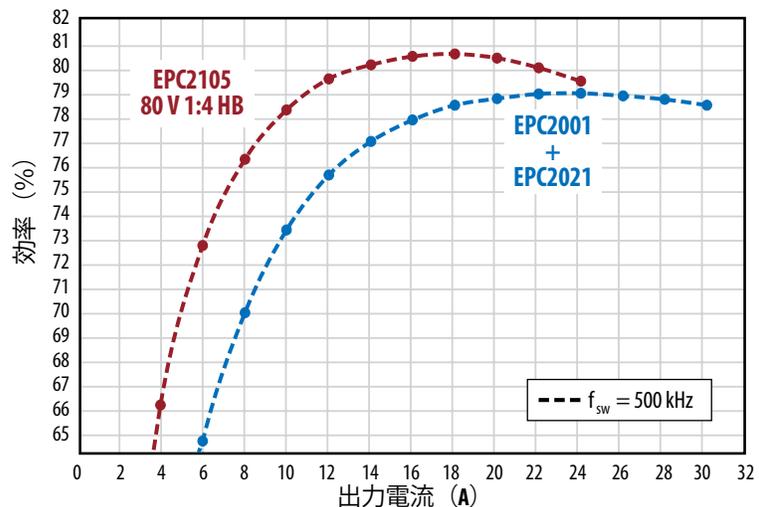


図10: ハーフブリッジICのEPC2105を搭載したバック・コンバータと、ディスクリートのeGaN FETの場合との効率の比較
 $V_{IN} = 48\text{ V}$, $V_{OUT} = 1\text{ V}$

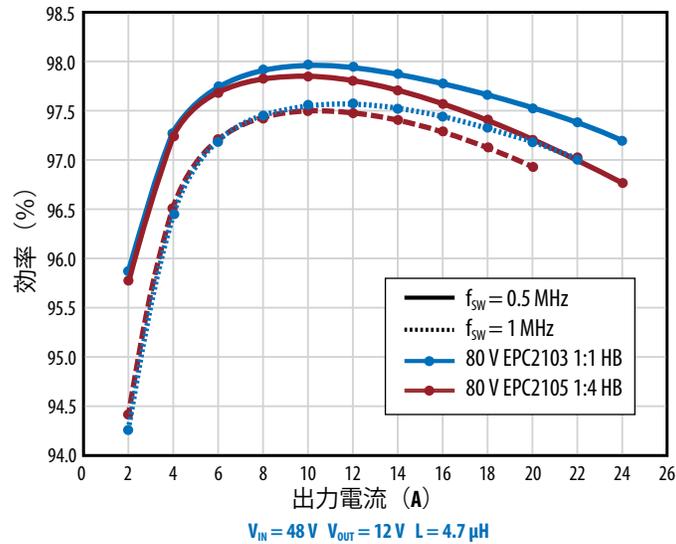
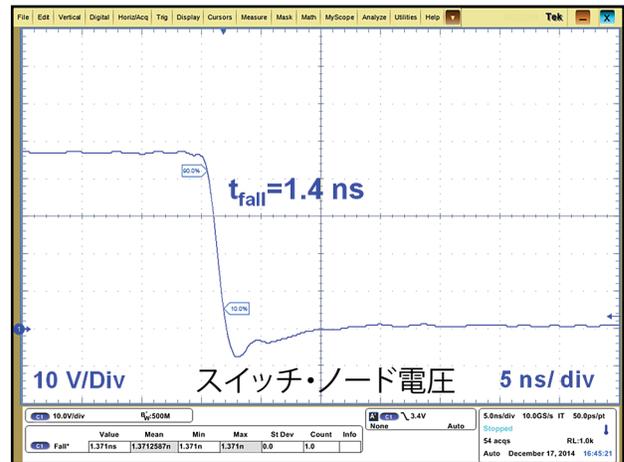
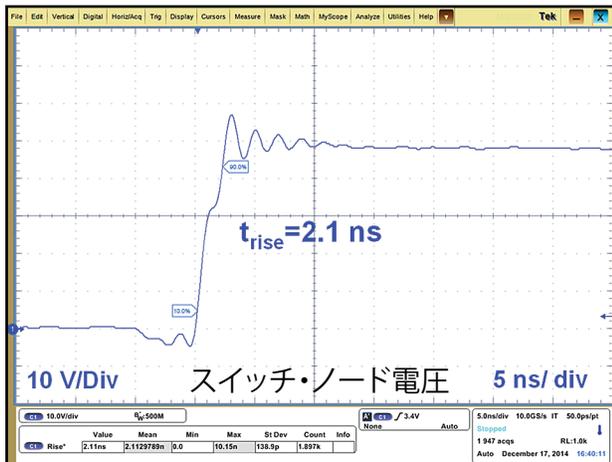


図11: ハーフブリッジEPC2103とEPC2105のバック・コンバータ全体の効率
 $V_{IN} = 48$ V, $V_{OUT} = 12$ V



$V_{IN} = 48$ V $I_{OUT} = 20$ A

図12: EPC2103のスイッチ・ノード波形で、 $V_{IN} = 48$ Vから $V_{OUT} = 12$ Vへの変換で
 $I_{OUT} = 20$ Aのときの立ち上がり時間は2.1 ns、降下時間は1.4 ns

参考文献:

- [1] A. Lidow, J. Strydom, M. de Rooij, and D. Reusch, "GaN Transistors for Efficient Power Conversion, Second Edition," J. Wiley, 2015.
- [2] D. Reusch, J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High Frequency Gallium Nitride Based Point of Load Converter," APEC 2013, pp.649-655, 16-21 March 2013.
- [3] <https://epc-co.com/epc/Products/eGaNfETs/Gen4eGaNfETs.aspx>